

DIALOG(R)File 352:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

009492547 **Image available**

WPI Acc No: 1993-186082/199323

Related WPI Acc No: 1992-286104; 1993-381162; 1994-010822; 1994-010823; 1994-016802; 1994-038407; 1994-068409; 1994-069941; 1994-228666; 1994-297831; 1994-352611; 1994-352612; 1996-458685; 1998-185671; 1999-067035; 1999-112307; 1999-127636; 1999-410731; 2000-132661; 2000-187992; 2000-275998; 2001-215164; 2002-323093; 2002-422617

XRAM Acc No: C94-062879

XRPX Acc No: N94-106773

LDD structure of TFT for insulated gate field effect type semiconductor device - has LDD area formed on either sides of channel area whose dopant concentration is less n+ type impurity area

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); TAKEMURA Y (TAKE-I); YAMAZAKI S (YAMA-I); ZHANG H (ZHAN-I)

Inventor: TAKEMURA Y; YAMAZAKI S; ZHANG H; ADACHI H; UOCHI H

Number of Countries: 003 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 5114724	A	19930507	JP 9230220	A	19920121	199323	B
US 5308998	A	19940503	US 92933810	A	19920824	199417	
US 5913112	A	19990615	US 92846164	A	19920305	199930	
			US 92933810	A	19920824		
			US 94209063	A	19940311		
US 5650338	A	19970722	US 92933810	A	19920824	199735	
			US 94216277	A	19940323		
KR 9611183	B1	19960821	KR 9215388	A	19920826	199924	
KR 9611184	B1	19960821	KR 9215388	A	19920826	199924	
			KR 969115	A	19960329		
US 36314	E	19990928	US 92846164	A	19920305	199947	
			US 92933810	A	19920824		
			US 96620857	A	19960604		
US 5962870	A	19991005	US 92846164	A	19920305	199948	
			US 92933810	A	19920824		
			US 94209063	A	19940311		
			US 95467984	A	19950606		
US 6331723	B1	20011218	US 92846164	A	19920305	200205	
			US 92933810	A	19920824		
			US 94209063	A	19940311		
			US 98137527	A	19980821		
US 20020024047	A1	20020228	US 98137527	A	19980821	200220	
			US 2001983523	A	20011024		

Priority Applications (No Type Date): JP 91238713 A 19910826; JP 9389118 A 19930324; JP 9389119 A 19930324

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 5114724 A 15 H01L-029/784

US 5308998 A 20 H01L-029/04

US 5913112 A 20 H01L-021/00 CIP of application US 92846164
Div ex application US 92933810

			CIP of patent US 5289030
			Div ex patent US 5308998
US 5650338	A	19 H01L-021/84	CIP of application US 92933810
			CIP of patent US 5308998
KR 9611183	B1	H01L-029/78	
KR 9611184	B1	H01L-029/78	Div ex application KR 9215388
US 36314	E	H01L-029/04	CIP of application US 92846164
			CIP of patent US 5289030
			Reissue of patent US 5308998
US 5962870	A	H01L-029/76	CIP of application US 92846164
			Div ex application US 92933810
			Div ex application US 94209063
			CIP of patent US 5289030
			Div ex patent US 5308998
US 6331723	B1	H01L-027/01	CIP of application US 92846164
			Div ex application US 92933810
			Div ex application US 94209063
			CIP of patent US 5289030
			Div ex patent US 5308998
			Div ex patent US 5913112
US 20020024047 A1		H01L-029/04	Div ex application US 98137527

Abstract (Basic): JP 5114724 A

The structure has a pair of n-type impurity areas (103) in between which a channel area is provided. Above the channel area, a gate electrode (105) is formed via a gate insulating film (102). An oxide layer (104) is formed surrounding the gate electrode.

An LDD area (107) is formed on either sides of the channel area by self aligning technique, using the gate electrode as mask, to a predetermined width. The n+ type impurity area (106) is formed on either sides of the channel area separated from the LDD area, and has higher dopant concentration compared to the LDD area.

USE - For microprocessor, microcontroller, microcomputer, semiconductor memory.

ADVANTAGE - Enables width of LDD area to be controlled within predetermined range. Obtains gate electrode with high aspect ratio. Unnecessitates formation of insulating film and anisotropic etching. US 5913112 A

The structure has a pair of n-type impurity areas (103) in between which a channel area is provided. Above the channel area, a gate electrode (105) is formed via a gate insulating film (102). An oxide layer (104) is formed surrounding the gate electrode.

An LDD area (107) is formed on either sides of the channel area by self aligning technique, using the gate electrode as mask, to a predetermined width. The n+ type impurity area (106) is formed on either sides of the channel area separated from the LDD area, and has higher dopant concentration compared to the LDD area.

USE - For microprocessor, microcontroller, microcomputer, semiconductor memory.

ADVANTAGE - Enables width of LDD area to be controlled within predetermined range. Obtains gate electrode with high aspect ratio. Unnecessitates formation of insulating film and anisotropic etching.

Title Terms: LDD; STRUCTURE; TFT; INSULATE; GATE; FIELD; EFFECT; TYPE; SEMICONDUCTOR; DEVICE; LDD; AREA; FORMING; SIDE; CHANNEL; AREA; DOPE; CONCENTRATE; LESS; N; TYPE; IMPURE; AREA

Derwent Class: L03; U11; U12; U13

International Patent Class (Main): H01L-021/00; H01L-021/84; H01L-027/01;

H01L-029/04; H01L-029/76; H01L-029/78; H01L-029/784
International Patent Class (Additional): H01L-027/12; H01L-031/036;
H01L-031/0392; H01L-031/20; H01L-031/36; H01L-031/376; H01L-031/392
File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04123024 **Image available**

INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUB. NO.: 05-114724 [JP 5114724 A]

PUBLISHED: May 07, 1993 (19930507)

INVENTOR(s): YAMAZAKI SHUNPEI
TAKEMURA YASUHIKO
CHIYOU KOUYUU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 04-030220 [JP 9230220]

FILED: January 21, 1992 (19920121)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1424, Vol. 17, No. 476, Pg. 35,
August 30, 1993 (19930830)

ABSTRACT

PURPOSE: To increase the aspect ratio of a gate electrode while enabling the LDD width to be precisely controlled by a method wherein an LDD region comprising specific impurity region is formed on a thin film semiconductor layer taking specific steps.

CONSTITUTION: A part 101 to be a gate electrode is formed on an insulating film on a semiconductor so that impurities may be led into the semiconductor using the part 101 as a mask to selfmatchingly form the first amorphous impurity region 103 containing carbon, nitrogen and oxygen. Next, said part 101 is oxidized by anode-oxidizing step so that the impurities may be led into the semiconductor using the oxidized gate electrode 105 as a mask to selfmatchingly form the second impurity region 106 also containing carbon, nitrogen and oxygen. At this time, the first impurity region 103 previously formed is left as an LDD region 107 filling the role of the same. Through these procedures, the aspect ratio of the gate electrode 105 can be increased while enabling the LDD width L to be precisely controlled.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-114724

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵
H 01 L 29/784識別記号
8225-4MF I
H 01 L 29/ 78技術表示箇所
3 0 1 G

審査請求 有 請求項の数10(全 15 頁)

(21)出願番号 特願平4-30220

(22)出願日 平成4年(1992)1月21日

(31)優先権主張番号 特願平3-238713

(32)優先日 平3(1991)8月26日

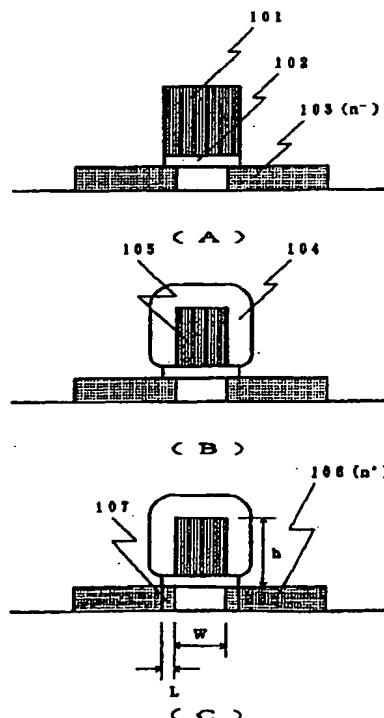
(33)優先権主張国 日本 (JP)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内(72)発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 絶縁ゲート型半導体装置およびその作製方法

(57)【要約】

【構成】 MOSFETにおいて、LDD領域を形成するにあたって、最初に、ゲート電極となるべき部分をマスクとしてセルファアライン法で低濃度不純物領域（第1の不純物領域）を形成したのち、熱酸化法等の方法によってゲート電極となるべき部分を酸化し、内部にゲート電極を形成し、ゲート電極側面に生成した酸化物層をマスクとしてセルファアライン法で高濃度不純物領域（第2の不純物領域）を形成することを特徴とする半導体装置の作製方法。



【特許請求の範囲】

【請求項1】 半導体上に形成された絶縁性被膜上に、ゲート電極となるべき部分を形成する工程と、前記部分をマスクとして不純物を半導体中に導入し、自己整合的に第1の不純物領域を形成する工程と、陽極酸化法によって前記部分を酸化する工程と、前記工程によって酸化されたゲート電極の部分をマスクとして不純物を半導体中に導入し、自己整合的に第2の不純物領域を形成する工程とを有することを特徴とする絶縁ゲート型半導体装置の作製方法。

【請求項2】 請求項1において、ゲート電極の高さは、その幅の1倍以上であることを特徴とする絶縁ゲート型半導体装置の作製方法。

【請求項3】 請求項1において、第1の不純物領域の不純物濃度は、第2の不純物領域の不純物濃度よりも小さいことを特徴とする絶縁ゲート型半導体装置の作製方法。

【請求項4】 金属のゲート電極と、該ゲート電極を包んで形成された陽極酸化物層と、薄膜状のチャネル領域と、該チャネル領域を挟んで形成された一対の第1の不純物領域と、各第1の不純物領域に隣接した第2の不純物領域とを有することを特徴とする薄膜状の絶縁ゲート型半導体装置。

【請求項5】 請求項4において、第1の不純物領域は非晶質状態であることを特徴とする絶縁ゲート型半導体装置。

【請求項6】 請求項4において、チャネル領域、第1の不純物領域、第2の不純物領域での、炭素、窒素、酸素の濃度は、いずれも $7 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする絶縁ゲート型半導体装置。

【請求項7】 基板上に形成された半導体領域と、該半導体領域を覆って形成された絶縁皮膜と、該絶縁皮膜上に形成され、その側面および上面がその酸化物で覆われた金属ゲート電極とを有する絶縁ゲート型半導体装置で、レーザーあるいはそれと同等なエネルギーを有する電磁波の照射によって活性化された不純物領域と、該不純物領域に添加された不純物と少なくとも1つは同じ不純物を含有する該不純物領域上の絶縁皮膜とを有することを特徴とする絶縁ゲート型半導体装置。

【請求項8】 前記請求項7において、レーザーあるいはそれと同等なエネルギーを有する電磁波の照射によって不純物領域を活性化する工程は、100 Torr 以上の圧力下でおこなわされたことを特徴とする絶縁ゲート型半導体装置。

【請求項9】 前記請求項7において、レーザーあるいはそれと同等なエネルギーを有する電磁波の照射によって不純物領域を活性化する工程は、実質的に大気中でおこなわされたことを特徴とする絶縁ゲート型半導体装置。

【請求項10】 前記請求項7において、すくなくとも1つの不純物領域は、チャネル領域に隣接する非結晶領

域と、該非結晶領域に隣接する結晶領域とからなることを特徴とする絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速性に優れ、また、高集積化の可能な絶縁ゲート電界効果型半導体素子（半導体装置）の作製方法に関する。本発明による半導体素子は、マイクロプロセッサー、マイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等に使用されるものである。

【0002】

【従来の技術】 半導体素子の微細化、高集積化に関して、多くの研究開発が進められている。特に、MOSFETと呼ばれる絶縁ゲート電界効果型半導体素子の微細化技術の進歩はめざましい。MOSとは、金属（Metal）-酸化物（Oxide）-半導体（Semi-conductor）の頭文字を取ったものである。金属は、純粋な金属でなくとも、十分に導電率の大きな半導体材料や、半導体と金属の合金なども含めた広い意味で使用される。また、金属と半導体の間の酸化物のかわりに、純粋な酸化物だけではなく、窒化物等の十分に抵抗の大きな絶縁性材料が用いられることもあります。そのような場合には、厳密にはMOSという用語は正しくないが、以下、本明細書では窒化物その他の絶縁物をも含めて、このような構造を有する電界効果型素子をMOSFETと称することとする。

【0003】 MOSFETの微細化は、ゲート電極の幅を小さくすることによっておこなわれる。ゲート電極の幅が小さくなるということは、その下のチャネル領域の長さ、すなわち、チャネル長が小さくなるということであり、このことは、チャネル長をキャリヤが通過するに要する時間を小さくすることとなり、結果的には高集積化とともに高速化もたらされる。

【0004】 しかしながら、そのことによって、別な問題（短チャネル効果）も生じる。その中で最も重要なものはホットエレクトロンの問題である。従来のような、十分に不純物濃度の大きなソースおよびドレインという不純物領域に、極性が反対の不純物がドープされたチャネル領域がはさまれた構造では、チャネル領域をせばめるにしたがって、ソースとドレインに印加される電圧によってチャネル領域と不純物領域の境界付近の電界が大きくなる。その結果、MOSFETの動作は極めて不安定になる。

【0005】 そのような問題点を解決する目的で提唱された新しいMOSFETの構造が、LDD（Lightly-Doped-Drain）という構造である。これは、典型的には図2（D）に示される。図2（D）において、不純物濃度の大きな領域206よりも浅く設けられた不純物濃度の小さな領域207がLDDと呼ばれる。このような領域を設けることによって、チャネル領域と不純物領域の境界近傍の電界を小さくし、素子の動作を安定化させること

が可能となった。

【0006】LDDは、通常、図2のように形成される。図2は、NMOSの例を示したがPMOSであっても同様に形成される。最初に、p型の半導体基板上に酸化膜と導電性膜が形成され、これらはエッチングされて、図2(A)に示すようにゲート絶縁膜202とゲート電極201となる。そして、このゲート電極をマスクとして、自己整合(セルフアライン)的に、例えば、イオン打ち込み法等によって、比較的不純物濃度の小さい(記号では n^- と表される)不純物領域203が形成される。

【0007】次いで、この上にPSGのような絶縁被膜204が形成される。そして、この絶縁被膜204は、バイアスプラズマエッチのような異方性エッチング法(方向性エッチング法ともいう)によって、除去されるが、異方性エッチングの結果、ゲート電極の側面ではPSGがエッチングされないで、図2(C)に205で示すような形状で残る。この残留物をスペーサーと称する。そして、このスペーサー205をマスクとして、セルフアライン的に不純物濃度の大きい(記号では n^+ と表される)不純物領域206が形成される。そして、この n^+ 型不純物領域がFETのソース、ドレインとして用いられる。

【0008】このようなLDD構造を採用することによって、従来の方法では、0.5μmが限界であるといわれていたチャネル長を0.1μmまで狭めることができることが示されている。

【0009】

【発明が解決しようとする課題】しかしながら、このことによって短チャネル化の問題が全て解決されたわけではない。もう一つの問題点はゲート幅を小さくすることによるゲート電極の抵抗の問題である。短チャネル化によって、動作速度を向上させたとしても、ゲート電極の抵抗が大きければ、その分を打ち消してしまうだけ伝播速度が低下する。ゲート電極の抵抗を低下させるには例えば、従来使用されていた不純物濃度の大きな多結晶シリコンのかわりに抵抗率の小さな金属シリサイドを用いることや、ゲート電極と平行にアルミニウムのような低抵抗配線を走らせることが検討され、採用されているが、それとて、ゲート電極の幅が0.3μm以下となる状況では限界となることが予想される。

【0010】その場合の別な解決方法として、ゲート電極の高さと幅の比(アスペクト比)を大きくすることが考えられる。ゲート電極のアスペクト比を大きくすることによって、ゲート電極の断面積を大きくし、抵抗を下げることが可能となる。しかしながら、従来のLDDは、その作製上の問題からアスペクト比を無制限に大きくはできなかった。

【0011】それは異方性エッチングで形成されるスペーサーの幅がゲート電極の高さに依存するためである。

通常、スペーサーの幅はゲート電極の高さの20%以上となった。したがって、図2のLDD領域207の幅Lを0.1μmとする場合には、ゲート電極の高さhは0.5μm以下でなければならなかった。もし、ゲート電極がそれ以上の高さとなれば、Lは0.1μm以上となる。このことは、ソース、ドレイン間の抵抗が増えることであり、望ましくない。

【0012】今、ゲート電極の高さhが0.5μm、ゲート電極の幅Wが1.0μm、LDDの幅Lが0.1μmであるとしよう。この素子のスケールを小さくして、Wを0.5μmとしようとすれば、ゲート電極の抵抗を維持するためには、hは1.0μmでなければならない。しかし、そのためにLは0.2μmとなってしまう。すなわち、ゲート電極の抵抗は変わらないが、ON状態(ゲート電極に電圧が印加されて、チャネル領域の抵抗が n^- 領域の抵抗に比べて十分小さくなった状態)でのソース、ドレイン間の抵抗が2倍となる。一方、チャネル長が半分になったので、素子は2倍の速度で応答することが期待できるが、ソース、ドレイン間の抵抗が2倍になったのでそのことはキャンセルされてしまう。結局、素子の高集積化が達成されただけで、速度の点では従来のままである。一方、Lを従来と同じに保つには、hを0.5μmとしなければならないが、そうすれば、ゲート電極の抵抗が2倍となり、結局、高速性は得られない。

【0013】通常の例では、スペーサーの幅は、ゲート電極の高さの50%から100%であり、上に示したものよりもかなり苦しい条件となる。したがって、従来のLDD作製方法ではゲート電極のアスペクト比は1以下、多くは0.2以下であった。また、このスペーサーの幅は、ばらつきが大きく、各トランジスター間での特性がまちまちになることが多くあった。このように、従来のLDDの作製方法は短チャネルでの安定性とそれに伴う高集積化と高速性をもたらした反面、その作製上の問題からより一層の高速化、高集積化の妨げとなるという矛盾を呈している。

【0014】また、最近では、半導体単結晶基板以外に、ガラス等の絶縁性基板上に薄膜状の半導体素子を形成し、半導体集積回路を構成したり、あるいは、単結晶の半導体基板上ではあっても、その上に形成された絶縁膜上に薄膜状半導体素子を形成したりする場合がある。前者は、液晶ディスプレーやイメージセンサー、後者は3次元ICに見出される。このような薄膜状半導体はTFT(薄膜トランジスタ)と呼ばれるが、この場合にもLDD構造を必要とされることがある。しかしながら、例えば、大面積のガラス基板上にTFTを形成する場合には、PSGの膜厚が同一基板上で場所によって異なってしまうため、スペーサーの大きさが場所によって異なってしまうという問題を有する。

【0015】3次元ICの場合でも、下に別の素子が設

けられている場合には素子が水平に形成されることが少ないのでスペーサーの大きさを一定に保つことは難しい。従来はこのようなTFTにおいても特に十分な考察がなされることなく、従来通りのLDD形成法が使用されてきたため、十分な特性、歩留りが得られるものではなかった。

【0016】本発明は、TFTにおいてLDD構造を作製する方法として、以上のような問題点を克服した全く新しい方法を提唱し、また、全く新しいLDD型TFTを提唱する。

【0017】

【問題を解決するための手段】本発明の典型的な例を図1に示す。本発明によって得られるTFTは図1(C)に示すように、主としてチタン(Ti)、アルミニウム(A1)、タンタル(Ta)、クロム(Cr)単独、あるいはそれらの合金からなるゲート電極105とそれを取り囲んで設けられた陽極酸化法によって形成された前記ゲート電極の酸化物層104、そして、ゲート電極の下に設けられたゲート絶縁膜102、一対の第1の不純物領域107、同じく一対の第2の不純物領域106、第1の不純物領域にはさまれたチャネル領域とからなる。

【0018】図1はNMOSの場合であるが、PMOSであっても同様に実施することができる。本発明を実施する手順を述べる。最初に、p型のシリコン等の薄膜半導体層上に酸化膜等の絶縁膜と上記金属膜が形成され、この絶縁膜と金属膜はエッチングされて、図1(A)に示すようにゲート電極となるべき部分101およびゲート絶縁膜102となる。そして、このゲート電極となるべき部分をマスクとして、自己整合(セルフアライン)的に、例えば、イオン打ち込み法等によって、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度の不純物濃度の小さい(記号では n^- と表される)第1の不純物領域103が形成される。

【0019】次いで陽極酸化法によって、ゲート電極となるべき部分の表面が酸化される。この工程によって、ゲート電極となるべき部分の表面が後退する。そして、最終的には酸化物層104の内部にゲート電極105が残る。(図1(B))この工程ではゲート電極と不純物領域103の位置関係はイオン打ち込み直後のものとは異なる。本発明では、素子を電界効果型トランジスターとして効率的に動作させる必要があるので、ゲート電極と不純物領域の位置関係には十分な注意を払わなくてはならない。すなわち、不純物領域とゲート電極が全く重ならない部分が著しく大きい場合(オフセット状態)では、チャネルの形成が不十分であり、逆に不純物領域とゲート電極が必要以上に重なった場合には寄生容量の発生により、動作速度の低下等がもたらされる。

【0020】しかしながら、本発明においては、イオン打ち込み法を使用する場合には、イオンの2次散乱によ

る不純物領域の広がりは、イオンの加速エネルギー等によって計算でき、さらに、ゲート電極の後退は、酸化物層の厚さによって決定されるので、これも設計事項として盛り込まれる。したがって、本発明では、精密な設計によって、ゲート電極と不純物領域の位置関係を最適な状態にできる。すなわち、酸化物層の厚さは10nm以下の精度で制御でき、さらに、イオン打ち込みの際の2次散乱についても同程度で制御できるため、この位置関係は10nm以下の精度で作製することができる。

【0021】さて、このようにして形成されたゲート電極105とその周囲の酸化物層104をマスクとして、セルフアライン的に $1 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ という不純物濃度の大きい(記号では n^+ と表される)第2の不純物領域106が形成される。先に形成された第1の不純物領域は図中の107に残り、LDDとして機能する。このようにして、従来のLDD作製方法による場合と同じ形状を有するLDDを得ることができる。この工程で注目すべきことは、図から明らかなように、LDDの幅Lが、ゲート電極の高さに制約されなければならないため、ゲート電極のアスペクト比を大きくすることができるということである。

【0022】さらに、本発明では、LDDの幅Lを極めて微妙に制御できる。例えば、Lを10nmから0.1μmまで、任意に変化させることができる。しかも、同じ程度の精度で、ゲート電極とLDDの重なりを制御できることは先に述べた通りである。また、このときのチャネル長Wとしては0.5μm以下が可能である。従来の方法では、LDDの幅を100nm以下とすることは極めて困難で、20%程度の誤差は当然であったが、本発明を利用すれば、LDDの幅を10~100nmにおいて、10%程度の誤差で作製することが可能である。

【0023】さらに、本発明では、従来のLDD作製方法に比べて、スペーサーとなるべき絶縁被膜を形成する必要がないので工程が簡略化され、生産性が向上する。また、陽極酸化法で得られる酸化物の厚さはゲート電極の側面でも上面でも同じで、極めて均質で、絶縁特性もよい。また、基板上の場所による厚さの違いも特には見出せない。

【0024】以上の例は従来と同様なLDD構造を得るためにものであるが、LDDと同様な機能は不純物領域に実質的にアモルファスあるいはセミアモルファスのような非結晶半導体領域を形成することによって実現される。その例を図3に示す。

【0025】図3において、図1の場合と同様な構造を有するゲート電極部が存在する。そして、不純物ドープされた非結晶半導体領域308と通常の実質的に多結晶あるいは実質的に単結晶な通常の不純物領域307とが形成される。このような、実質的に非結晶な領域を設けることによって、LDDの場合と同様にTFTの特性を

向上させることができることを本発明人らが見いだした。もちろんこの非結晶領域にはタンギングボンドができるだけ少なくなるように水素やハロゲンで、半導体中のダングリングボンドを十分にターミネイトする必要がある。

【0026】このような非結晶領域を設けることによって図4 (a) に示すように、良好なTFT特性を示すことができた。図4 (b) は、従来のLDD構造や非結晶領域を有しないTFTであり、図から明らかなように、ゲート電圧 V_G が正の場合にドレイン電流 I_D が急激に増加するだけでなく、本来であれば I_D は一定の低い値にとどまことが要求される V_G が負の場合にも I_D が漸増する。このような特性は逆方向リーケと呼ばれるもので、TFTを相補的に動作させる場合には重大な問題である。

【0027】これに対し、非結晶領域を有する場合は、図4 (a) に示すように、理想的なMOSFET特性を示す。このように非結晶領域を設けることによって特性が向上する原因についてはまだ良く判っていない。

1つには、非結晶領域では、結晶領域に比べて、添加された不純物元素のイオン化率が低く、そのため同じだけの不純物が添加された場合であっても、より低い不純物濃度を有しているかのように振る舞うためと考えられる。例えば、シリコンでは、アモルファス状態では、イオン化率は室温で0.1~10%というように、単結晶あるいは多結晶半導体の場合（ほぼ100%）に比べて著しく小さい。

【0028】あるいは、非結晶状態ではバンドギャップが結晶状態に比して大きいので、それが原因とも考えられる。例えば図4 (e)、(f) のようなエネルギー・バンド図から説明が可能である。通常のLDD構造のTFTでは、ソース/チャネル/ドレインのエネルギー・バンド図は、図4 (c)、(d) のようになっている。中央の盛り上がったところが、チャネル領域である。また、階段状の部分はLDD領域である。ゲート電極に電圧が印加されていない場合には図 (c) で示されるが、ゲート電極に負の大きな電圧が印加されると、図 (d) で示されるようになる。このとき、ソースとチャネル領域、およびチャネル領域とドレインの間には禁制帯があって、電子やホール等のキャリヤは移動できないのであるが、トンネル効果やバンドギャップ中のトラップ準位をホッピングしてキャリヤがギャップを飛び越える。LDD構造でない通常のTFTであれば、ギャップの幅はより小さいため、より電流は流れやすい。これが逆方向リーケであると考えられている。この減少はTFTでは特に顕著である。それは、TFTが多結晶等の不均質な材料であるため、粒界等に起因するトラップ準位が多いためと推定される。

【0029】一方、LDD領域のバンドギャップを大きくするとこのような逆方向リーケは低減する。LDDの

バンドギャップが大きい例は図4の (e) および (f) に示される。図 (e) はゲートに電圧の印加されていない状態、(f) はゲートに負の大きな電圧の印加された状態を示す。(f) から明らかのように (d) と比べて負の電圧が印加されたときのソースとチャネル領域、あるいはチャネル領域とドレイン間のギャップの幅が大きい。トンネル効果はトンネル障壁の幅（この場合はギャップの幅）によって著しく影響を受け、ギャップの幅の僅かの増加で著しくその確率は低下する。また、局在準位を経由したホッピングも複合的なトンネル効果であるのでギャップの幅が大きくなると飛躍的にその確率は小さくなる。以上のような理由で、バンドギャップの大きなLDD領域を形成することは意味のあることであると考えられる。そして、多結晶シリコンのバンドギャップが1.1 eVであるのに対し、アモルファスシリコンのバンドギャップは1.5~1.8 eVであり、このような広いバンドギャップを有する材料をLDDに用いることは極めて理想的である。以下に実施例を示し、より詳細に本発明を説明する。

20 【0030】

【実施例】【実施例1】本発明を用いた実施例について記載する。この実施例では石英ガラス基板上に形成したNチャネル型TFTに本発明を用いた場合を示す。本実施例を図3に示す。まず、図3 (A) に示すように、石英基板301上に、減圧CVD法によって低温酸化膜（酸化珪素）302を厚さ10~500 nm、例えば、100 nm形成する。ついで、同じく、減圧CVD法によって、真性のアモルファス状態のシリコン膜を、厚さ10~100 nm、例えば、20 nmだけ形成する。このとき、成膜温度を上げて、微結晶、あるいは多結晶状態の膜を形成してもよい。また、アモルファスのシリコン膜の作製には、上記の減圧CVD法以外に、プラズマCVD法や光CVD法を用いてもよい。このようにして作製されたアモルファスシリコン膜を適当な大きさ、例えば $10 \times 30 \mu\text{m}^2$ の長方形、にバターニングし、これにエキシマーレーザー光を照射することによって結晶化をおこなった。エキシマーレーザーとしては、KrFレーザー（波長248 nm、パルス幅10 nsec）を用い、レーザーのエネルギー密度は150~250 mJ/cm²、例えば200 mJ/cm² とすればよい。1~10個のパルスを照射することによって結晶化は達成される。

【0031】その後、ECRプラズマCVD法によって、厚さ50~150 nm、例えば70 nmのゲート絶縁膜（酸化珪素）と、電子ビーム真空蒸着法によって、厚さ100~800 nm、例えば500 nmのアルミニウム膜を形成し、これをバターニングして、ゲート電極となるべき部分303およびゲート絶縁膜304を形成する。ゲート電極の幅としては、例えば、500 nmとした。そして、砒素イオンを打ち込んで、不純物濃度1

$\times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 、好ましくは、 $1 \times 10^{18} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 、例えば、 $2 \times 10^{18} \text{ cm}^{-3}$ の n^- 型不純物領域305を形成する。

【0032】次に、図3(B)に示すように、陽極酸化法によって、ゲイト電極となるべき部分を酸化し、ゲイト電極の表面に厚さ200nmの酸化アルミニウム膜を形成する。酸化の方法としては、例えば、L-酒石酸をエチレングリコールに5%の濃度で希釈し、アンモニアを用いてpHを7.0±0.2に調整した溶液中に基板ごと浸し、直流電源の正極を基板に、負極を溶液中に浸した白金電極に接続し、20mAの定電流状態で、100Vに到達するまで電圧を印加し、酸化をおこなう。さらに、電圧が100Vに達したならば、電圧一定のまま、電流が0.1mAになるまで酸化をおこなう。このようにして酸化アルミニウム膜を得る。

【0033】このとき酸化アルミニウムは、図3(B)に記号306で示されているように、ゲイト電極を包むようになっている。この状態で再びイオン注入法によって、砒素イオンを打ち込み、 n^+ 型の不純物領域307を形成する。不純物濃度は $1 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ 、例えば $0.8 \times 10^{21} \text{ cm}^{-3}$ とすればよい。

【0034】その後、図3(C)に示されるように、先のレーザー照射と同じ条件で、基板上面からレーザー照射をおこなう。このとき、ゲイト電極の上面には酸化アルミニウム膜が形成されているためゲイト電極に対するダメージは低減される。もし十分な厚さの酸化膜がアルミニウム表面されていなければ、レーザー光の照射によって、アルミニウムが膨張したり、融解したりして、ゲイト電極・配線が剥がれたり、飛散したり、変形してしまう。十分な厚さの酸化膜で覆われていれば、内部のアルミニウムが瞬間に融解することがあっても、その形を留めたまま凝固するので何ら問題はおこらない。

【0035】また、ゲイト電極とその周囲の酸化物層の下にはレーザー光が達しない。このため、先のイオン打ち込みによってアモルファス化した領域307および308のうち、酸化物層306の下の部分は結晶化しない。このようにして、非結晶領域の不純物領域を有するTFTが形成される。その効果については先に述べたとおりであった。

【0036】非結晶領域を設けるかわりに、シリコンに、例えば、炭素、窒素、酸素等を化学量論的あるいは非化学量論的な比率で混入した領域を設けることによって、バンドギャップを大きくすることが可能であり、したがって、同様な効果を得ることが可能なことが知られているが、炭素や酸素、窒素といった元素はシリコン半導体にとって好ましい材料でなく、その濃度の低下が求められている。これに対し、本実施例で示したアモルファスシリコン等の非結晶半導体を用いる方法は、これら有害元素を一切使用しないクリーンな方法である。本発明をさらに効果的に実施せんとすれば、炭素、窒素、

酸素の各濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望まれる。

【0037】さて、このようにして結晶化をおこなったのち、結晶化部分および非結晶部分の半導体特性を向上させるために1気圧の水素ガス中で250°Cで2時間パッシベーションをおこなった。なぜなら、そのままではチャネル領域および非結晶領域の半導体中の局在準位が多いためTFTを十分に動作させることができないからである。

【0038】その後、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層309を形成する。リンガラス層の形成には、例えば、減圧CVD法を用いればよい。材料ガスとしては、モノシリコンSiH₄と酸素O₂とホスフィンPH₃を用い、450°Cで反応させて得られる。

【0039】その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極310を形成する。こうして、図3(D)に示されるようなNチャネル型TFT装置が完成する。本発明によってゲイト電極および配線は、陽極酸化された酸化物層によって覆われている。例えば、液晶ディスプレー用のマトリクス回路の場合には、ゲイト配線は多くの信号線と立体交差する必要があった。その場合に、ゲイト配線と信号線の間には層間絶縁物層によって絶縁されているが、絶縁層の不均質性や、耐圧の低さのために、ゲイト配線が信号線と短絡することがよくあった。

【0040】本発明では、PSG等の絶縁特性に問題のある皮膜に加えて、ゲイト配線は耐圧の極めて大きく、緻密な(ピンホール等の無い)酸化物層で覆われているので、そのような短絡は極めて起こりにくい。その結果、液晶マトリクスの歩留り向上の上で最大の問題点であった、交差配線の短絡は全く問題にする必要がなく、歩留りを著しく向上させることができる。

【0041】本実施例によって得られたTFTの特性を図4(a)に示す。TFTのチャネル領域の大きさは0.5μm×20μm、非結晶領域308の幅は0.1μmであった。また、測定において、ソース/ドレイン間の電圧は5Vとした。同じく(b)は通常の構造を有するTFTでチャネル領域の大きさは0.5μm×20μmであった。図から明らかなように、本発明を実施することによって逆方向リーケが解消されるとともに、オフ電流(ゲイト電圧が0Vのときのドレイン電流)も著しく低下した。特にオフ電流の小さなTFTは、アクティブラーマトリクス型液晶パネルにおいて、画素の制御用に用いる上で重要である。なぜならば、そのような目的で使用されるTFTのオフ電流が大きい場合には、キャパシターから電荷がリーケしてしまうからである。本実施例ではNチャネル型TFTについて記述したが、Pチャネル型TFTについても同様に作製できる。

【0042】【実施例2】図5ないし図7には本実施

例を示す。まず、基板501としてコーニング7059ガラスを使用した。そしてアモルファスシリコン被膜をプラズマCVD法によって150nmだけ形成した。これを600°Cで60時間、窒素雰囲気中でアニールし、再結晶化させた。さらに、これをバターニングして、島状の半導体領域502および503を形成した。ここで、半導体領域502は後にPチャネルTFTとなる領域で、半導体領域103はNチャネルTFTとなる領域である。

【0043】さらに、酸化珪素をターゲットとする酸素雰囲気中でのスパッタ法によって、ゲート酸化膜504を厚さ115nmだけ堆積し、次に、電子ビーム蒸着によってアルミニウム被膜を形成して、これをバターニングし、PチャネルTFTのゲート電極506、NチャネルTFTのゲート電極507、配線505および508を形成した。このようにして、TFTの外形を整えた。このときのチャネルの大きさは、長さを8μm、幅を8μmとした。また、全てのゲート電極・配線は電気的に接続されている。ここまで得られたTFTの状態を図5(A)に示す。

【0044】ついで、図5(B)に示すように右側のTFT領域503にフォトレジスト509を塗布した状態で弗化ホウ素イオン(BF_3^+)あるいはホウ素イオン(B^+)をイオン注入して、左側のTFT領域502にセルフアライン的にP型の不純物領域510を形成する。イオンエネルギーは70~100keV、ドーズ量は $1\sim 5 \times 10^{13} \text{ cm}^{-2}$ とした。

【0045】この不純物領域形成工程は公知の他の技術、例えばプラズマドーピング(ドーパントを含むガスのプラズマをターゲットに吹きつけることによるドーピングをおこなう方法)によって、おこなってもよい。イオン注入法による場合においても、プラズマドーピングによる場合においても、このようにして形成された不純物領域は、イオン衝撃やプラズマ衝撃によって、実質的に非結晶状態であり、極めて結晶性のよくない状態である。

【0046】同様に、左側のTFT領域502にフォトレジスト511を塗布した状態でN型不純物(例えばリン)の導入をおこない、N型不純物領域512を形成する。

【0047】さらに、ゲート電極・配線505~508に電気を通じ、陽極酸化法によって、ゲート電極・配線505~508の周囲(上面および側面)に酸化アルミニウムの被膜513~516を形成した。陽極酸化は以下のようないくつかの条件でおこなった。このときの基板の上面図の例を図6(A)に示す。すなわち、全ての金属配線(例えばゲート配線である506や507)は同一配線550に接続されている。

【0048】溶液としては3%の酒石酸のエチレングリコール溶液を5%アンモニアで中和して、pHを7.0±0.2とした溶液を使用しておこなった。溶液中に陰

極として白金を浸し、さらに基板ごと浸して、配線50を電源の陽極に接続した。温度は25±2°Cに保った。

【0049】この状態で、最初、0.5mA/cm²の電流を流し、電圧が250Vに達したら、電圧を一定に保ったまま通電し、電流が0.005mA/cm²になったところで電流を止め、陽極酸化を終了させた。このようにして得られた陽極酸化膜の厚さは320nmであった。以上のようにして、ゲート電極・配線の周囲に図10 5(D)で示されるような酸化物513~516を形成した。

【0050】そして、レーザーアニールをおこなった。レーザーアニールは、試料をXYステージに固定して、大気中(10² torr以上)で $1 \times 300 \text{ mm}^2$ の大きさのレーザー光を移動させながら照射しておこなった。レーザーはKrFエキシマーレーザーを用い、例えば350mJ/cm²のパワー密度のレーザーパルスを50ショット照射した。このようなレーザーアニールによっては、酸化物514および516の下に位置する不

20 純物領域に関してはレーザー光が到達しないので、結晶化が起こらず、非結晶領域が形成される。その幅は陽極酸化によって、ゲート電極部分(ゲート電極とその周囲の酸化物)の幅の増加分bだけである。その様子を図5(D)に示す。このようにして、P型の結晶不純物領域517とそれに隣接してP型の非結晶不純物領域518が、さらにN型の結晶不純物領域519とそれに隣接してN型の非結晶不純物領域520が形成される。また、陽極酸化によって、ゲート電極の表面は後退するので、図に示すように、幅aだけゲート電極と不純物領域の重30 ならない部分(オフセット領域)が形成される。ゲート電極の後退の大きさは、陽極酸化によって形成される酸化膜の厚さの1/3~1/2である。bとしては0.1~0.2μmが、また、aとしては0.03~0.2μmとすることによって良好な特性が得られた。

【0051】上述のレーザーアニールによって、必要な箇所の結晶化がおこなわれたのであるが、同時に、レーザー照射の際の衝撃によって、陽極酸化膜の一部にクラックや穴、アルミニウムの溶出が観測された。そこで、再び、最初の条件で酸化をおこない、クラックを塞ぎ、40 露出したアルミニウムの表面を酸化した。ただ、このときは電流の調整に注意しなければならない。すなわち、クラックの部分やアルミニウムの露出した部分の面積は極めて小さいので、最初の条件と全く同じ条件の電流を流した場合には、電流がそのような狭い部分に集中してしまい、化学反応(酸化反応)が著しく進行して、局所的に非常な発熱をもたらし、破壊してしまうことがある。

【0052】そこで、電流は電圧を見ながら徐々に上げていった。例えば、酸化開始時の設定電流は、最初の陽極酸化の1~5%程度がよい。この酸化工程ではゲート50

電極の表面が一様に酸化されるのではないので、電流密度という定義は適切でないが、あえて、最初の条件と対比する目的で電流密度をという単位を使用すると、通電開始時に $5 \mu\text{A}/\text{cm}^2$ の電流を流し、1分間に 2V づつ上昇させていった。そして、電圧が 250V になったところで通電をやめた。この最大電圧の値は、必要とされる陽極酸化物の厚さによって決定され、本発明人らの知見によれば、厚さは最大電圧にほぼ比例する。例えば、最大電圧が 250V では、得られる陽極酸化物の厚さは約 320nm であった。

【0053】このようにして、配線の欠陥を除去した。その後、大気中でレーザー照射によって、アルミニウム配線をエッティングした。レーザーとしてはフラッシュランプ励起の Qスイッチ Nd:YAG レーザー (波長 1064nm) の第2高調波 (波長 532nm) を使用し、そのスポット径は $5 \mu\text{m}$ とした。レーザー光のパルス幅は 5ns であった。また、エネルギー密度は $1 \text{kJ}/\text{cm}^2$ とした。試料を XYステージ上に固定し、ビームを照射して、例えば図 6 (B) において、551や 552 で示されるような部分のエッティングをおこなった。

【0054】このエッティングプロセスは、公知のフォトリソグラフィー工程によっておこなってもよい。いずれの方法を選択するかはコストと量産性の問題である。一般に、フォトリソグラフィー法は、エッティングする箇所が多い場合や、エッティングの形状が複雑な場合、エッティングする部分の面積が広い場合に適している。しかし、エッティングする箇所が少なく、またその面積が小さく、形状も簡単である場合にはレーザーでエッティングする方がコスト的にも優れている場合がある。図 6 (B) のような簡単なパターンでのエッティングで、しかも、それほどどの精度も要求されない場合にはレーザーによるエッティングの方が優れている。

【0055】さらに、試料を CVD 成膜装置のチャンバーに搬入し、酸化珪素被膜を堆積し、これを層間絶縁膜 (例えば図 5 (E) の 521) とした。そして、電極形成用穴 (図 6 (C) の 553) を形成した。このとき、エッティングは、層間絶縁物である酸化珪素とゲート電極・配線を被覆している酸化アルミニウムのみを選択的に除去することが望まれ、したがって、酸化珪素および酸化アルミニウムに対するエッティング速度の方が、アルミニウムおよびシリコンに対する場合よりも大きいことが必要とされる。本発明人らの知見によれば、いわゆるバッファー 弗酸 (弗化水素と弗化アンモニウムが混合された溶液) では、好適なエッティング比が得られた。例えば、半導体製造用高純度弗化水素酸 (50wt%) と同弗化アンモニウム溶液 (40wt%) とを 1:10 の比率で混合した溶液では、酸化アルミニウムのエッティング速度は 60nm/分であるのに対し、アルミニウムは 15nm/分であった。また、四弗化炭素を用いた反応性イオンエッティングでは、酸化珪素はエッティングされる

が、酸化アルミニウムおよびアルミニウムはほとんどエッティングされない。この特性を利用して、配線のコントラクト付近の酸化珪素のみを反応性エッティングによってエッティングし、その後、バッファー 弗酸によって、配線の周囲の酸化アルミニウムのみをエッティングするという方法も採用できる。このときの反応性イオンエッティングの条件としては、ガス流量 20sccm、圧力 0.08torr、RFパワー 100W とした。酸化珪素のエッティングレートは 10nm/分であった。このようにして、10 電極の穴明けをおこなった。マスクはフォトレジストであった。

【0056】その後、金属配線 522～524 を図 5 (E) あるいは図 6 (C) に示されるように形成した。図 6 で示される上面図を回路図によって表現したのが図 7 である。最初、Pチャネル TFT のゲート電極は配線 507 に接続されていたのであるが、後に切断されて、Nチャネル TFT のソース (あるいはドレイン) と接続された。また、Pチャネル TFT のソース (あるいはドレイン) は最終的には配線 507 に接続された。

【0057】【実施例 3】図 8 には本実施例の断面図を示す。まず、基板 801 としてコーニング 7059 ガラスを使用した。そして、下地の酸化珪素皮膜 802 を厚さ 100nm だけ、スパッタ法によって形成した。さらに、アモルファスシリコン被膜 803 をプラズマ CVD 法によって 50nm だけ形成した。その上にアモルファスシリコン膜の保護の目的で酸化珪素膜 804 をやはりスパッタ法によって、20nm だけ形成した。これを 600°C で 72 時間、窒素雰囲気中でアニールし、再結晶化させた。さらに、これをフォトリソグラフィー法と反応性イオンエッティング (RIE) 法によってバーニングして、図 8 (A) に示すように島状の半導体領域を形成した。島状半導体領域形成後、保護用酸化珪素膜 804 を除去した。その除去には実施例 2 で用いたバッファー 弗酸を使用した。

【0058】さらに、酸化珪素をターゲットとする酸素雰囲気中でのスパッタ法によって、ゲート酸化膜 805 を厚さ 115nm だけ堆積した。この状態でプラズマドープ法によってゲート酸化膜 805 中にリンイオンをドープした。これは、ゲート酸化膜中に存在するナトリウム等の可動イオンをゲッタリングするためで、ナトリウムの濃度が素子の動作に障害とならない程度に低い場合にはおこなわなくてもよい。本実施例では、プラズマ加速電圧は 10keV で、ドーズ量は $2 \times 10^{14} \text{ cm}^{-2}$ であった。ついで、600°C で 24 時間アニールをおこなって、プラズマドープの衝撃によって生じた、酸化膜、シリコン膜のダメージを回復させた。

【0059】次に、スパッタリング法によってアルミニウム被膜を形成して、これを混酸 (5% の硝酸を添加した磷酸溶液) によってバーニングし、ゲート電極・配線 806 を形成した。エッティングレートは、エッティング

の温度を40℃としてときは225nm/分であった。このようにして、TFTの外形を整えた。このときのチャネルの大きさは、長さを8μm、幅を20μmとした。

【0060】次に、イオン注入法によって、半導体領域にN型の不純物領域（ソース、ドレイン）807を形成した。ドーパントとしてはリンイオンを使用し、イオンエネルギーは80keV、ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ とした。ドーピングは図に示すように、酸化膜を透過して不純物を打ち込むスループラインによっておこなった。このようなスループラインによっておこなった。このようにスループラインを使用するメリットは、後のレーザーニールによる再結晶化の過程で、不純物領域の表面の滑らかさが保たれるということである。スループラインでない場合には、再結晶の際に、不純物領域の表面に多数の結晶核が生じ、表面に凹凸が生じる。このようにして、図8（B）に示されるような構造が得られた。なお、当然のことながら、このようなイオン注入によって不純物の注入された部分の結晶性は著しく劣化し、実質的に非結晶状態（アモルファス状態、あるいはそれに近い多結晶状態）になっている。

【0061】さらに、配線806に電気を通じ、陽極酸化法によって、ゲート電極・配線の周囲（上面および側面）に酸化アルミニウムの被膜808を形成した。陽極酸化は、3%の酒石酸のエチレングリコール溶液を5%アンモニアで中和して、pHを7.0±0.2とした溶液を使用しておこなった。まず、溶液中に陰極として白金を浸し、さらにTFTを基板ごと浸して、配線806を電源の陽極に接続した。温度は25±2℃に保った。

【0062】この状態で、最初、0.5mA/cm²の電流を流し、電圧が200Vに達したら、電圧を一定に保ったまま通電し、電流が0.005mA/cm²になったところで電流を止め、陽極酸化を終了させた。このようにして得られた陽極酸化膜の厚さは約250nmであった。その様子を図8（C）に示す。

【0063】その後、レーザーニールをおこなった。レーザーはKrFエキシマーレーザーを用い、例えば350mJ/cm²のパワー密度のレーザーパルスを10ショット照射した。少なくとも1回のレーザー照射によって、非結晶状態のシリコンの結晶性をTFTの動作に耐えられるまで回復させることはできることは確かめられているが、レーザーのパワーのふらつきによる不良の発生確率を十分に低下させるためには、十分な回数のレーザー照射が望ましい。しかしながら、あまりにも多数のレーザー照射は生産性を低下させることとなるので、本実施例で用いた10回程度が最も望ましいことが明らかになった。

【0064】レーザーニールは、量産性を高めるために大気圧下でおこなった。すでに、不純物領域の上には酸化珪素膜が形成されているので、特に問題となることはなかった。もし、不純物領域が露出された状態でレ

ザーニールをおこなっても、結晶化と同時に、大気から不純物領域内に酸素が侵入し、結晶性が良くないため、十分な特性を有するTFTが得られなかつた。そのため、不純物領域が露出したものは、真空中でレーザーニールをおこなう必要があつた。

【0065】また、本実施例では、図8（D）に示されるように、レーザー光を斜めから入射させた。例えば、本実施例では、基板の垂線に対して10°の角度でレーザー光を照射した。角度は作製する素子の設計仕様に合わせて決定される。このようにすることによって、レーザーによって、不純物領域のうち結晶化される領域を非対称とすることができます。すなわち、図中の領域809、810は十分に結晶化された不純物領域である。領域811は不純物領域ではないが、レーザー光によって結晶化された領域である。領域812は不純物領域であるが結晶化がなされていない領域である。例えば、ホットエレクトロンの発生しやすいドレイン側には、図8（D）の右側の不純物領域を使用すればよい。

【0066】このようにして、素子の形状を整えた。その後は、通常のように、酸化珪素のスパッタ成膜によって層間絶縁物を形成し、公知のフォトリソグラフィー技術によって電極用孔を形成して、半導体領域あるいはゲート電極・配線の表面を露出させ、最後に、金属被膜を選択的に形成して、素子を完成させた。

【0067】【実施例4】本発明によって得られるTFTにおいては、非結晶半導体領域やオフセット領域の幅によって、オフ電流だけでなく、ソース／ドレイン間の耐圧や動作速度が変化する。したがって、例えば、陽極酸化膜の厚さやイオン注入エネルギー等のパラメータを最適化することによって、目的に応じたTFTを作製することが出来る。しかしながら、これらのパラメータは一般に1枚の基板上に形成された個々のTFTに対して、調節できるものではない。例えば、実際の回路においては1枚の基板上に、低速動作でもよいが、高耐圧のTFTと低耐圧でもよいが、高速動作が要求されるTFTが同時に形成されることが望まれる場合がある。一般に、本発明あるいは類似の発明である特願平3-237100においては、オフセット領域の幅が大きいほど、オフ電流が小さく、耐圧性も向上するが、動作速度が低下するという欠点もあった。

【0068】本実施例はこのような問題を解決する1例を示す。図9（上面図）および図10（断面図）には本実施例を示す。本実施例では、特願平3-296331に記述されるような、PチャネルTFTとNチャネルTFTを1つの画素（液晶画素等）を駆動するために使用する画像表示方法において使用される回路の作製に関するものである。ここで、NチャネルTFTは高速性が要求され、耐圧はさほど問題とされない。一方、PチャネルTFTは、動作速度はさほど問題とされないが、オフ電流が低いことが必要とされ、場合によっては耐圧性が

よいことも必要とされる。したがって、NチャネルTFTは陽極酸化膜が薄く(20~100nm)、PチャネルTFTは陽極酸化膜が厚い(250~400nm)ことが望まれる。以下にその作製工程について説明する。

【0069】実施例2の場合と同様にコーニング7059を基板901として、N型不純物領域902、P型不純物領域903、ゲート絶縁膜904ゲート電極・配線906と907を形成した。ゲート電極・配線はいずれも配線950に接続されている。(図9(A)、図10(A))

【0070】さらに、ゲート電極・配線906、907に電気を通じ、陽極酸化法によって、ゲート電極・配線906、907の周囲(上面および側面)に酸化アルミニウムの被膜913、914を形成した。陽極酸化は実施例2と同じ条件でおこなった。ただし、最大電圧は50Vとした。したがって、この工程で作製された陽極酸化膜の厚さは約60nmである。(図10(B))

【0071】次に図9(B)において、951で示されるように、ゲート電極・配線906をレーザーエッティングによって配線950から切り離した。そして、この状態で再び、陽極酸化を始めた。条件は先と同じであるが、このときには最大電圧は250Vまで上げた。その結果、配線906には電流が流れないので、何の変化も生じなかつたが、配線907には電流が流れるため、ゲート配線907の周囲に厚さ約300nmの酸化アルミニウム皮膜が形成された。(図10(c))

【0072】その後、レーザーアニールをおこなった。その条件は実施例2と同じとした。この場合には、NチャネルTFT(図10左側)は、非結晶領域は無視できるほど狭いのであるが、陽極酸化膜によってアルミニウムの配線の表面を覆っておかなければ、レーザー光の照射によって著しいダメージがあつたので、例え、薄くとも陽極酸化膜を形成する必要があつた。一方、PチャネルTFT(図10右側)は陽極酸化膜の厚さが300nmであり、非結晶領域も150~200nm存在した。また、オフセット領域の幅も100~150nmであったと推定される。(図10(D))

【0073】その後、実施例2の場合と同様に、大気中でレーザー照射によって、アルミニウム配線の必要な箇所をエッティングし、PチャネルTFTのゲート電極を配線907から分離し、また、配線950を切断した。さらに、層間絶縁膜を形成し、コンタクトホールを形成し、配線924や911を形成した。このようにして、回路が形成された。

【0074】このようにして作製された回路においては、NチャネルTFTは、オフセット領域や非結晶領域の幅が小さく、オフ電流は若干多いが、高速性に優れていた。一方、PチャネルTFTは、高速動作は困難であったが、オフ電流が少なく、画素キャパシターに蓄積された電荷を保持する能力に優れていた。

【0075】このように1枚の基板上に機能が異なるTFTを集積しなければならない場合は他にもある。例えば、液晶表示ドライバーにおいては、シフトレジスター等の論理回路には高速TFTが、出力回路には高耐圧TFTが要求される。このような相反する目的に応じたTFTを作製する場合には本実施例で示した方法は有効である。

【0076】

【発明の効果】本発明によって、極めて制約の少ないL10DD型TFTを作製することが可能となった。本文中でも述べたように、本発明を利用すれば、ゲート電極のアスペクト比にはほとんど制限されることなくLDD領域を形成しうる。また、そのLDD領域の幅も10~100nmの間で極めて精密に制御することができる。特に本発明は、短チャネル化によって、今後進展すると考えられるゲート電極の高アスペクト比化に対して有効な方法である。

【0077】もちろん、従来通りのアスペクト比が1以下の低アスペクト比のゲート電極においても、本発明を使用することは可能で、従来のLDD作製方法に比して、絶縁膜の形成とその異方性エッティングの工程が不要となり、また、LDD領域の幅も精密に制御することができるため、本発明の効果は著しい。

【0078】本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうることは明白である。

【図面の簡単な説明】

【図1】本発明によるLDDの作製方法の断面図を示す。

【図2】従来のLDD作製方法の断面図を示す。

【図3】本発明を利用した絶縁基板上へのNMOSの作製方法を示す。

【図4】本実施例で作製したTFTの特性を示す。

【図5】本発明によるTFTの作製工程例の断面図を示す。

【図6】本発明によるTFTの作製工程例の上面図を示す。

【図7】本発明によるTFTの作製工程例を回路図によって示す。

【図8】本発明によるTFTの作製工程例の断面図を示す。

【図9】本発明によるTFTの作製工程例の上面図を示す。

【図10】本発明によるTFTの作製工程例の断面図を示す。

【符号の説明】

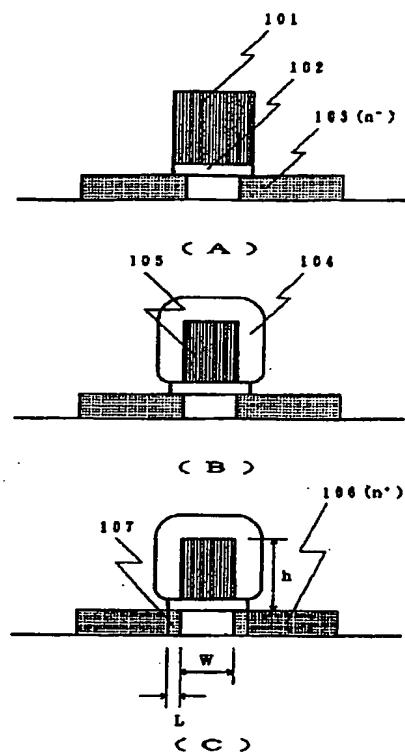
101 ゲート電極となるべき部分

102 ゲート絶縁膜

n- 不純物領域

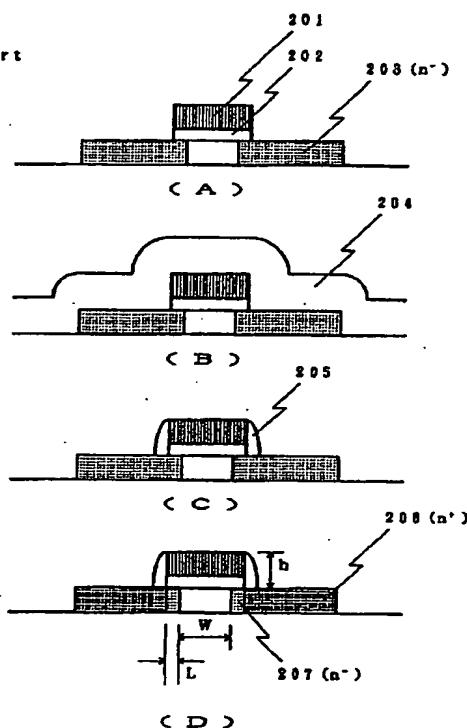
104
105酸化物層
ゲイト電極106
107n⁺不純物領域
LDD領域

【図1】

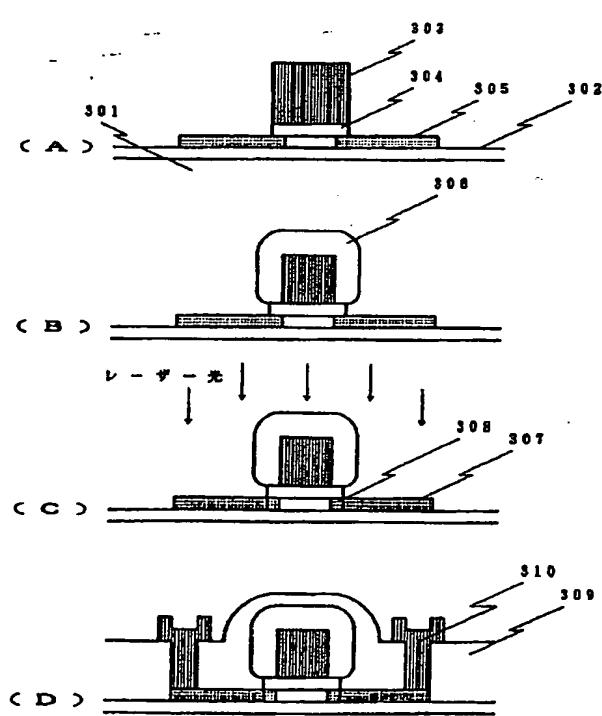


Prior Art

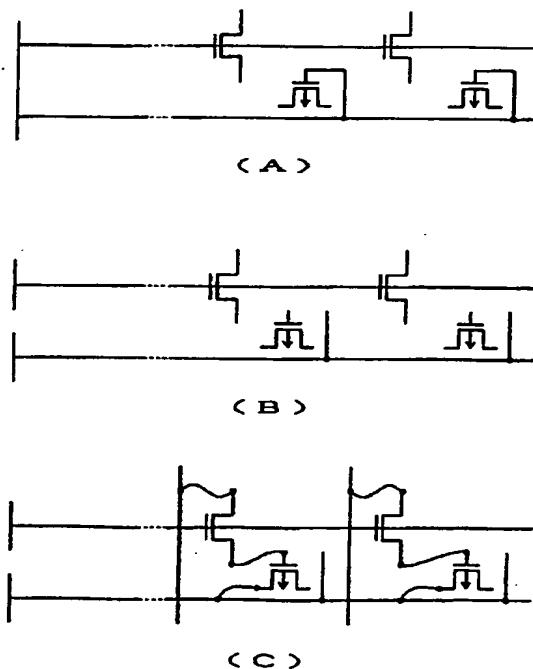
【図2】



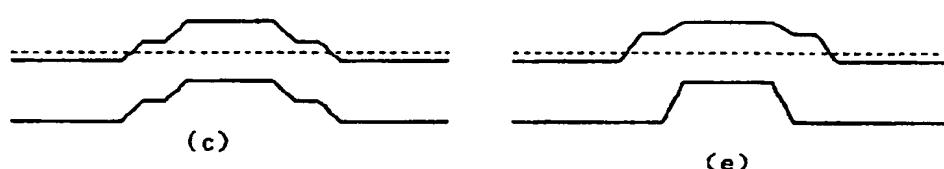
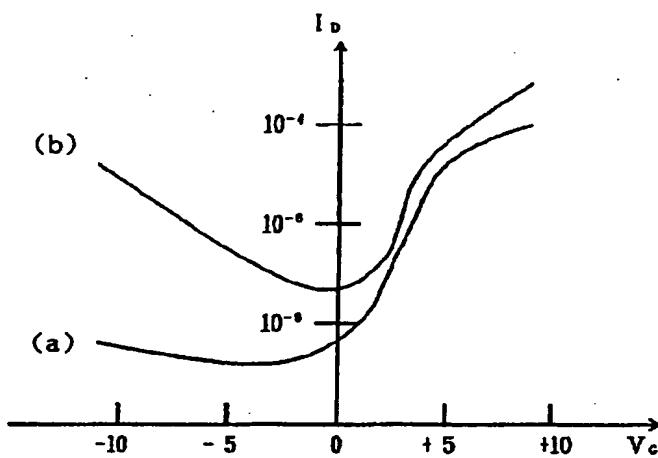
【図3】



【図7】

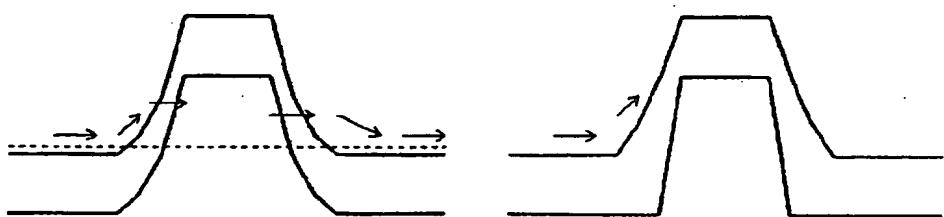


【図4】



(c)

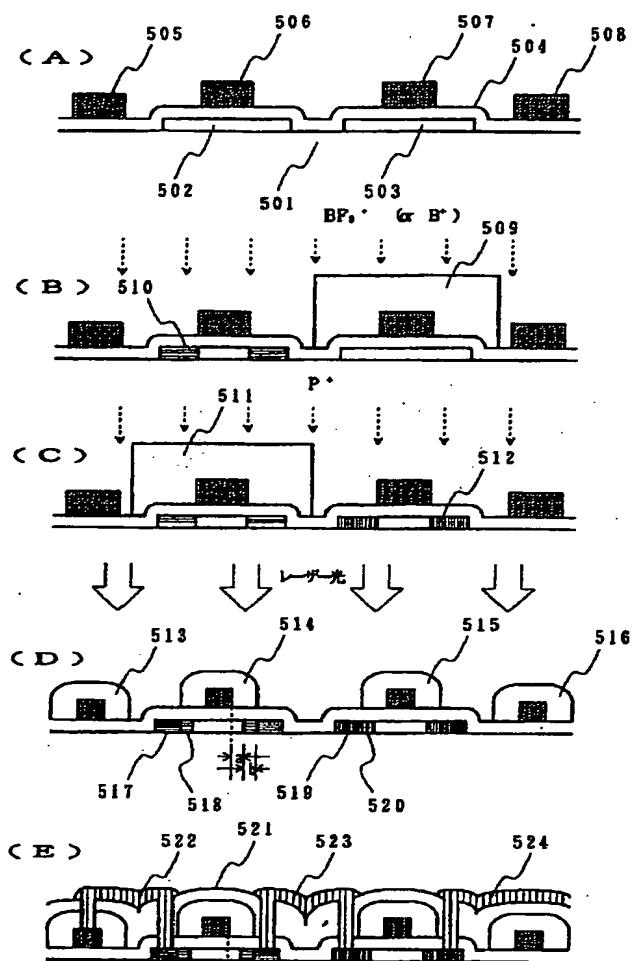
(e)



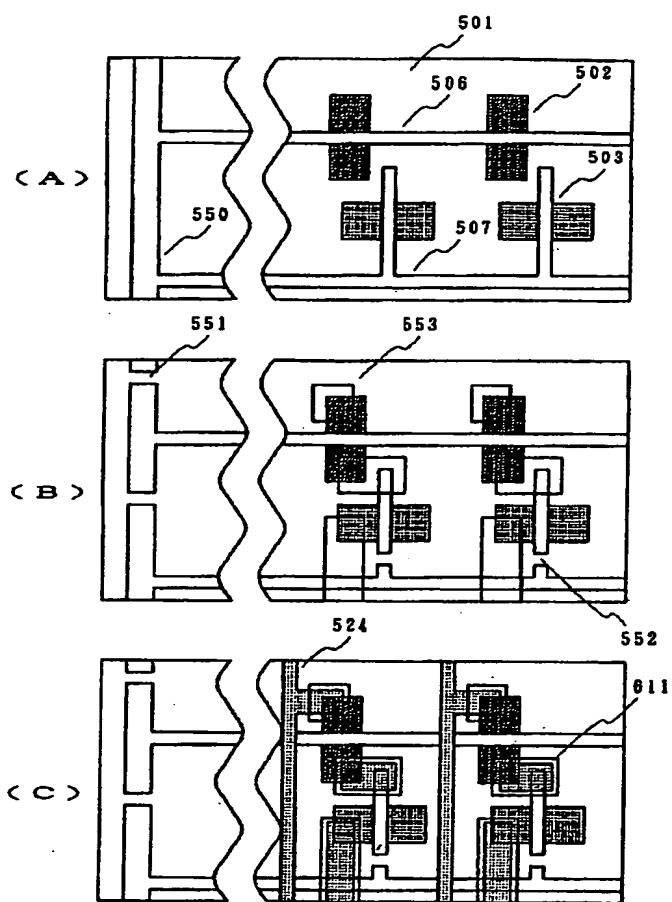
(d)

(f)

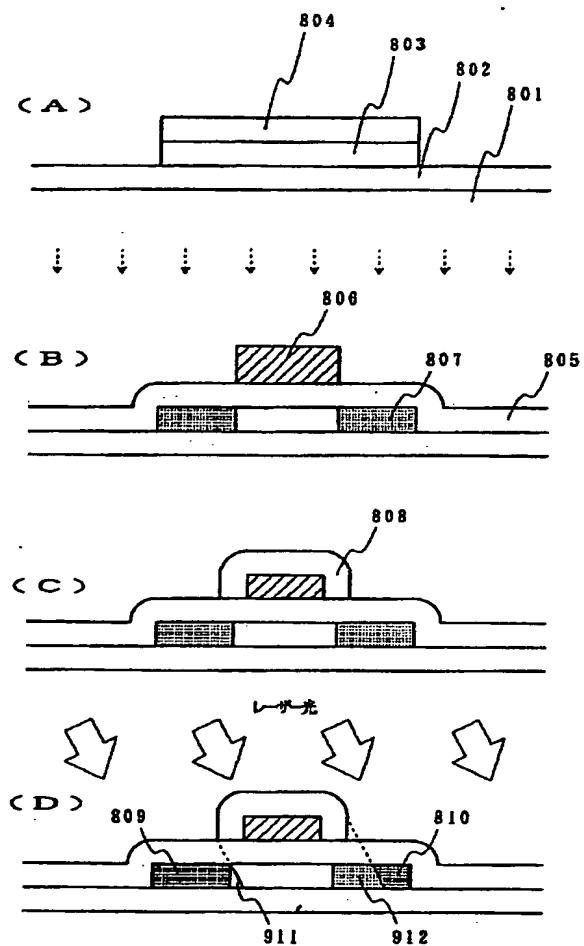
【図5】



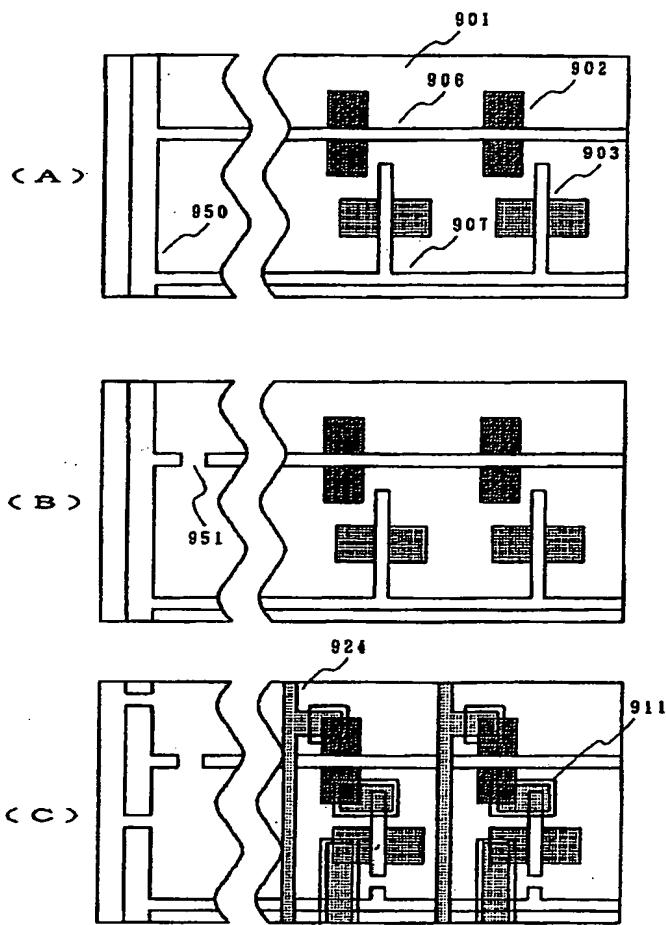
【図6】



【図8】



【図9】



【図10】

